

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年1月5日 (05.01.2006)

PCT

(10) 国際公開番号
WO 2006/001466 A1

- (51) 国際特許分類⁷: H04N 5/14
 (21) 国際出願番号: PCT/JP2005/011879
 (22) 国際出願日: 2005年6月22日 (22.06.2005)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2004-186145 2004年6月24日 (24.06.2004) JP
 (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 野澤 和浩 (NOZAWA, Kazuhiro). ジャヤディ エンドリアント (DJAJADI, Endrianto).

(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門1丁目2番8号虎ノ門琴平タワー 三好内外国特許事務所内 Tokyo (JP).

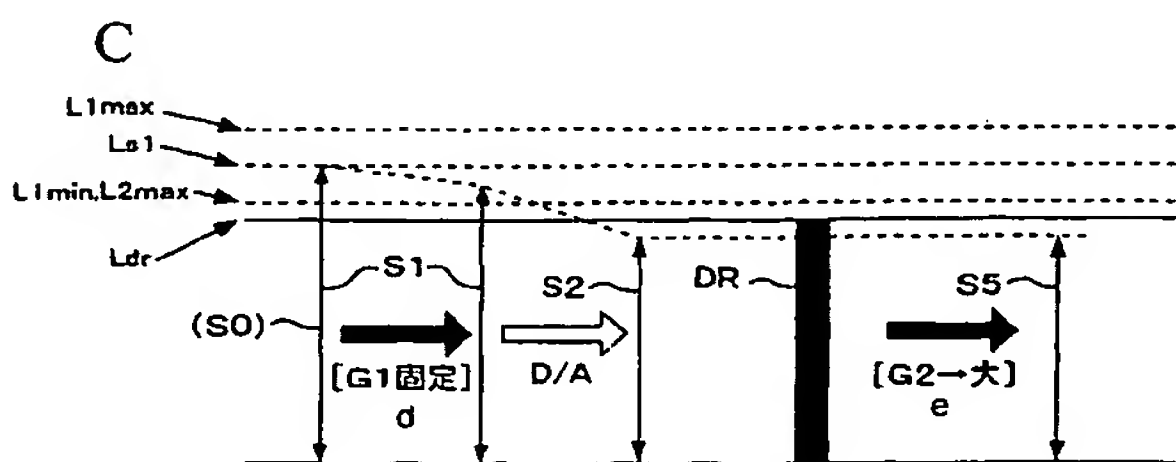
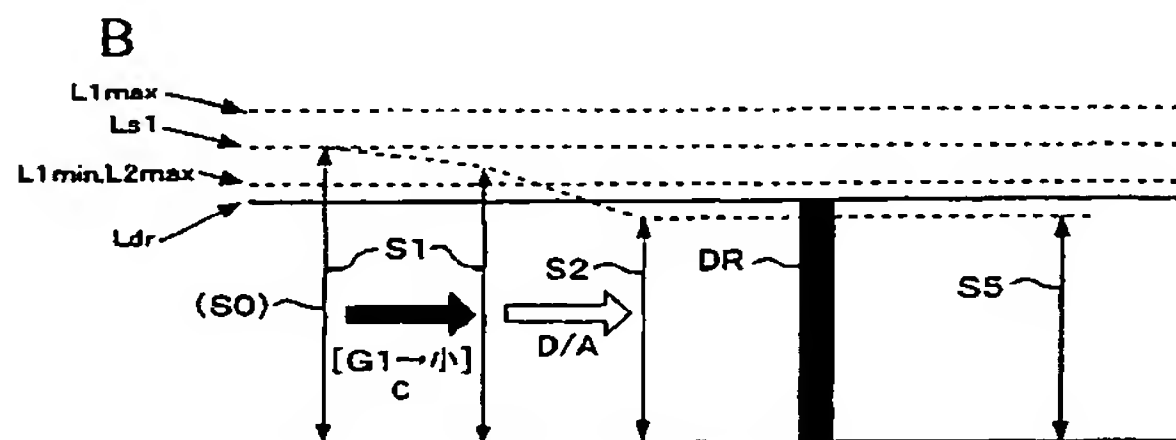
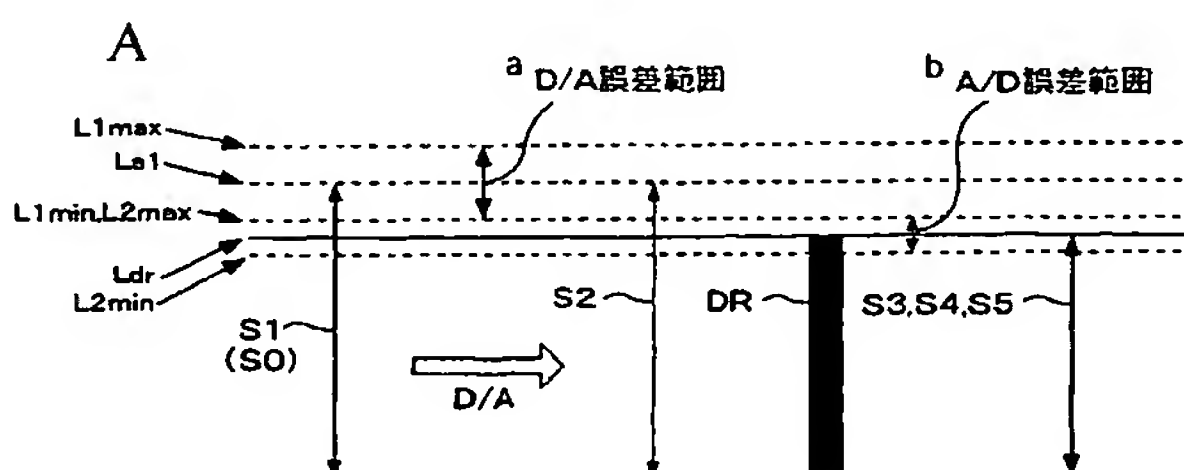
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE AND SIGNAL PROCESSING METHOD

(54) 発明の名称: 信号処理装置、信号処理方法



a... D/A ERROR RANGE
 b... A/D ERROR RANGE
 c... [G1 → SMALLER]

d... [G1 FIXED]
 e... [G2 → GREATER]

(57) Abstract: A problem that when signal input/output is conducted in an analogue signal format between two portions processing digital signals, the dynamic range becomes inadequate due to error variations of signal levels of an internal D/A converter and A/D converter is solved. In a gain setting, firstly the magnitude relation is so set that a minimum value in a signal level error variation range of a D/A converter (12) in a front stage DSP (1) is greater than a maximum value in a signal level error variation range of an A/D converter (21) in a rear stage signal processing block. Secondly, in a state that a signal having the level handled as a predetermined maximum value in the DSP (1) is inputted to a first GCA (13), the gain value of the first GCA (13) is so set that the level of a signal S5 is the maximum in a range of below a prescribed value Vdr. Thirdly, the gain value of a second GCA (24) is so set that the level of the signal S5 is the maximum in a range of equal or less than a prescribed value.

(57) 要約: デジタル信号処理を実行する2つの部位の間でアナログ信号形式で信号の入出力を行うような場合において、内部のD/A変換器、A/D変換器における信号レベルの誤差ばらつきによりダイナミックレンジが不適切な状態となることの問題を解消する。ゲイン設定にあたり、前段のDSP1のD/Aコンバータ12の信号レベルの誤差ばらつき範囲の最小値が、後段の信号処理ブロックのA/Dコンバータ21の信号レベルの誤差ばらつき範囲の最大値よりも大きくなるように、その大小関係を設定する。次いで、DSP1において所定の最大値として扱われるレベルの信号を第1GCA13に入力させた状態のもとで、信号S5のレベルが規定値Vdr未満の範囲で最大値となるようにして、第2GCA13のゲイン値を設定する。次いで、信号S5のレベルが規定値以下の範囲で最大値となるようにして、第2GCA24に対してゲイン値を設定する。

BEST AVAILABLE COPY

WO 2006/001466 A1



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

BEST AVAILABLE COPY